

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-118948

(43)Date of publication of application : 27.04.2001

(51)Int.Cl. H01L 23/12
// H05K 1/02

(21)Application number : 11-294112

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.10.1999

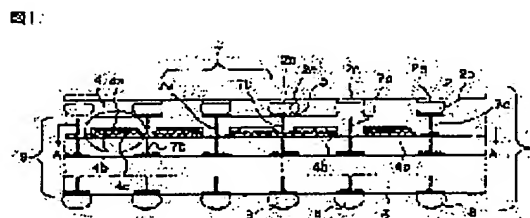
(72)Inventor : OGIWARA MAMORU
OKAMOTO TATSUJI
SATO SHIGETADA
TANAKA MINORU

(54) SUBSTRATE FOR MOUNTING SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a substrate for mounting of a semiconductor element which can operate at a high speed with a large operational margin, by increasing a noise absorbing effect caused by connection of a capacitor element to a power terminal of the semiconductor element.

SOLUTION: In a semiconductor element 2, a semiconductor substrate connection terminal 5 provided on a wiring board 3 and a substrate connection terminal 2a of a semiconductor element 2 are mounted on the board 3 as connected to each other by a solder chip 2b. The wiring substrate 3 is made of a capacitor element part 4, the semiconductor element connection terminal 5 and a plurality of insulating layers 6. The semiconductor element 2 has such a shape that a multiplicity of the substrate connection terminals 2a arranged on its lower surface in a lattice form, and a multiplicity of semiconductor element connection terminals 5 are provided on the wiring board 3 to correspond to the substrate connection terminals 2a of the semiconductor element 2. The element connection terminals 5 are any of a power wiring 7b, a grounding wiring 7a and signal wiring 7c extended in a direction passing through the board 3 directly thereunder respectively. A circular capacitor element part 4 including electrodes 4a, 4c and an insulating layer 4b is formed around the power wiring 7b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-118948
(P2001-118948A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl.⁷

H 0 1 L 23/12
// H 0 5 K 1/02

識別記号

F I

H 0 5 K 1/02
H 0 1 L 23/12

テーマト* (参考)

N 5 E 3 3 8
B

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号

特願平11-294112

(22) 出願日

平成11年10月15日 (1999. 10. 15)

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 荻原 衛

神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内

(72) 発明者 岡本 達司

神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内

(74) 代理人 100078134

弁理士 武 顕次郎

最終頁に続く

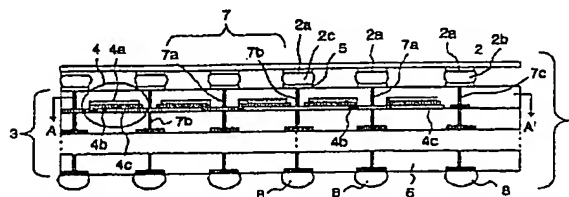
(54) 【発明の名称】 半導体素子搭載基板

(57) 【要約】

【課題】 半導体素子の電源端子へのコンデンサ素子の接続によるノイズ吸収効果を高めた動作マージンの大きい高速動作可能な半導体素子搭載基板。

【解決手段】 半導体素子2は、配線基板3上に設けられる半導体基板接続端子5と半導体素子2の基板接続端子2aとの間が半田チップ2bにより配線基板3上に接続搭載されている。配線基板3は、コンデンサ素子部4と半導体素子接続端子5と複数の絶縁層6からなる。半導体素子2は、その下面に格子状に配置された多数の基板接続端子2aを備えた形状を有し、配線基板3上には、半導体素子2の基板接続端子2aに対応して多数の半導体素子接続端子5が設けられている。半導体素子接続端子5のそれぞれは、その直下に配線基板3を貫通する方向に延びる電源用配線7b、グランド用配線7a、信号用配線7cのいずれかに接続されている。電源用配線7bの周囲に、電極4a、4c、絶縁層4bよりなる円形のコンデンサ素子部4が形成されている。

図1



【特許請求の範囲】

【請求項1】 半導体素子と該半導体素子を搭載する配線基板とからなる半導体素子搭載基板において、前記配線基板は、半導体素子接続端子を有し、該半導体素子接続端子のうちの電源用端子を中心とした周辺にコンデンサ素子が配設されて構成されたことを特徴とする半導体素子搭載基板。

【請求項2】 前記配線基板は、裏面に接続端子を有し、前記電源用端子と裏面の接続端子とが基板内を貫通する配線により接続され、配線基板の裏面の接続端子から電源が供給されることを特徴とする請求項1記載の半導体素子搭載基板。

【請求項3】 前記コンデンサ素子は、前記配線基板の半導体素子搭載面側に配設されたことを特長とする請求項1または2記載の半導体素子搭載基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子搭載基板に係り、特に、半導体素子が搭載され、かつ、半導体素子への電源インピーダンスを低下させるためのコンデンサ素子が搭載された半導体素子搭載基板に関する。

【0002】

【従来の技術】一般に、CMOS回路により構成される大規模集積回路半導体素子(LSI)は、素子内部の多数の回路が同時にオン・オフ制御されるため、素子に流れ込む電流の変動が大きい。一方、信号伝播の高速化により過渡的な電源電圧の変動が回路の動作マージンを狭くしている。近年、LSI集積度の増大と回路の信号伝播速度との大幅な進展により、LSIは、動作マージンが狭いものとなっている。

【0003】このため、従来技術によるLSIに対する電源の供給は、同一電源種類であっても複数の駆動用電源端子を配設し電源供給配線を太くすると共に、LSIの近傍にコンデンサ素子を配設し、コンデンサ素子をLSI駆動用電源接続することにより、ノイズを吸収し動作マージンを広げる工夫が行われている。例えば、大型計算機の回路基板等は、数十個の前述のようなLSIチップとLSIの周辺にコンデンサ素子とを多層配線回路基板上に搭載し、LSIチップ駆動電源の配線を前記コンデンサ素子搭載エリアまで引き出し前記コンデンサ素子に接続する構成とされている。

【0004】なお、この種の回路基板に関する従来技術として、例えば、特開平10-209328号公報等に記載された技術が知られている。そして、この従来技術は、回路基板上のLSIの電源端子から離れた位置に複数のコンデンサが搭載されて構成されている。

【0005】

【発明が解決しようとする課題】前述した従来技術による回路基板は、多数のコンデンサ素子をLSIチップの周辺の離れた位置に配設するものであるが、LSIチ

ップの各電源端子からコンデンサ素子までの距離が大きく一定でないため、接続線の抵抗が大きく、しかも、電源端子毎にその抵抗値が異なってしまう、LSIの動作マージンを十分な大きさにすることができないという問題点を有している。

【0006】また、前述した従来技術は、高速回路動作の多層配線回路基板に適用した場合、LSIチップからコンデンサ素子接続用端子までの配線距離がインダクタンス成分として大きく影響するようになり、コンデンサ素子接続によるノイズ吸収効果が得られなくなり、このため、動作マージンを十分な大きさにすることができないという問題点を有している。

【0007】また、前述した従来技術は、LSIチップ内においても、コンデンサ素子から近い電源端子と遠い電源端子とで、同一のノイズ吸収効果を得ることができず、LSIチップとしての動作マージン拡大効果を得ることができないという問題点を有している。

【0008】さらに、半導体素子の信号を高速で伝播させるためには、信号配線を短くして低誘電率材料の中で信号を伝播させることができるように配置することが必要であるが、前述した従来技術は、複数のLSIチップを搭載した場合、コンデンサ素子をLSIチップの間に配置する必要があり、LSIチップ相互間の信号配線が長くなり、高速な動作の回路基板とはならないという問題点を有している。

【0009】すなわち、前述した従来技術は、前述した問題点を同時に解決することについて配慮されておらず、LSIチップとコンデンサ素子とを搭載した、あるいは、半導体素子搭載基板とコンデンサ素子とを配設した回路基板が、必ずしも高速な動作の回路基板として満足できるものではないという問題点を有している。

【0010】本発明の目的は、前述した従来技術の問題点を解決し、半導体素子の電源端子へのコンデンサ素子の接続によるノイズ吸収効果を高めて、動作マージンを大きくすることができ、また、高速動作基板として満足することができる半導体素子搭載基板を提供することにある。

【0011】

【課題を解決するための手段】本発明によれば前記目的は、半導体素子と該半導体素子を搭載する配線基板とからなる半導体素子搭載基板において、前記配線基板が、半導体素子接続端子を有し、該半導体素子接続端子のうちの電源用端子を中心とした周辺にコンデンサ素子が配設されて構成されたことにより達成される。

【0012】また、前記目的は、前記配線基板が、その裏面に接続端子を有し、前記電源用端子と裏面の接続端子とが基板内を貫通する配線により接続され、配線基板の裏面の端子から電源を供給することにより、また、前記コンデンサ素子が、前記配線基板の半導体素子搭載面側に配設されたことにより達成される。

【0013】

【発明の実施の形態】以下、本発明による半導体素子搭載基板の一実施形態を図面により詳細に説明する。

【0014】図1は本発明の一実施形態による半導体素子搭載基板の断面構造を示す図、図2は本発明の一実施形態による半導体素子搭載基板のコンデンサ素子部の平面構造を示す図である。図1、図2において、1は半導体素子実装基板、2は半導体素子、2aは基板接続端子、2bは半田チップ、3は配線基板、4はコンデンサ素子部、4a、4cはコンデンサ電極、4bはコンデンサ誘電体層、5は半導体素子接続端子、6は絶縁層、7aはグランド用配線、7bは電源用配線、7cは信号用配線、8は下部接続端子である。

【0015】本発明の一実施形態による半導体素子搭載基板1は、半導体素子2と配線基板3とから構成される。半導体素子2は、配線基板3上に設けられる半導体基板接続端子5と半導体素子2の基板接続端子2aとの間を半田チップ2bにより接続することにより、配線基板3上に接続搭載されている。図1に示す例では、半導体素子2の高さが小さく示されているが、実際には、図示のものより大きな高さ寸法を有している。なお、半導体素子2としては、LSIチップ、ICチップ等を含む。また、配線基板3は、コンデンサ素子部4と半導体素子接続端子5と複数の絶縁層6とからなる。なお、図1は以下に説明する図2の矢視B-B'の断面図である。

【0016】説明している本発明の実施形態の半導体素子2は、図2に図1の矢視A-A'のコンデンサ素子部の平面図から判るように、その下面にマトリクス（格子）状に配置された多数の基板接続端子2aを備えて構成された形状のものである。そして、配線基板3上には、半導体素子2の基板接続端子2aに対応して多数の半導体素子接続端子5が設けられている。半導体素子接続端子5のそれぞれは、その直下に配線基板3を貫通する方向に延びる電源用配線7b、グランド用配線7a、信号用配線7cのいずれかに接続されている。これらの多数の半導体素子接続端子5に接続される配線7は、配線基板3に適宜混在して配置されている。そして、図2に示すように、電源用配線7bの周囲に円形にコンデンサ素子部4が形成されている。

【0017】コンデンサ素子部4は、電源用配線7bに接続されるコンデンサ電極4cと、誘電体層4bと、グランド用電極7aに接続されるコンデンサ電極4aとからなり、コンデンサ電極4a及びコンデンサ電極4cは、それぞれ配線7a、7bを介して半導体素子接続端子5に接続されている。また、グランド用電極7aに接続されるコンデンサ電極4aは、複数のコンデンサ素子相互間を接続するように形成されており、コンデンサ電極4cは、電源用配線7bを介して接続される半導体素子接続端子5を中心とした周辺に、コンデンサ素子部4

が、信号用配線7cに接しない範囲でできるだけ大きくなるように形成されている。また、配線基板3は、多層構造のものであるが、コンデンサ素子部4は、多層構造の配線基板3の半導体素子2が乗せられる表面に最も近い層に形成される。

【0018】また、多層構造の配線基板3は、図示していない配線層内で配線が行われており、基板の下面に設けられる多数の下部接続端子8を介して他の基板と接続されると共に、下部接続端子から電源の供給が行われる。そして、前述した電源用配線7b、グランド用配線7aは、配線基板3内を貫通して、最短の距離で下部接続端子8に接続されている。図1に示すような本発明の実施形態による半導体素子搭載基板1は、この基板単独で使用されてもよく、また、サブ基板として、さらに大きな配線基板上に搭載されて使用されてもよい。

【0019】前述したように構成される本発明の実施形態において、半導体素子2が接続される配線基板3は、半導体素子接続端子5の材料としてタングステン、モリブデン、ニッケル等が使用され、表面を金で被って構成される。また、配線7の材料として、タングステン、銅、アルミニウム等を用いることができる。コンデンサ素子部4を構成するコンデンサ電極4a、4cは、白金、金、タンタル、チタン、酸化ルテニウム、酸化イリジウム等を用いることができ、誘電体層4bとしては、酸化珪素、窒化珪素、酸化タンタル、ストロンチウム・チタン酸化物、バリウム・ストロンチウム・チタン酸化物、鉛・ジルコニア・チタン酸化物、鉛・マグネシウム・ニオブ酸化物、ストロンチウム・ビスマス・タンタル酸化物等を用いることができる。

【0020】また、前述したように構成される本発明の実施形態において、配線基板の半導体素子接続端子、配線及びコンデンサ部の電極、誘電体層は、印刷、めっき、スパッタ等の手法により形成することができる。

【0021】前述して本発明の実施形態によれば、半導体素子の電源端子が接続される半導体素子接続端子の周辺にコンデンサ素子が形成されているので、半導体素子の電源端子とコンデンサ素子との距離が、コンデンサ素子と半導体素子の基板接続端子との間の配線基板の厚み方向だけの小さな距離とすることができ、半導体素子に複数の電源端子が備えられる場合にも、全ての電源端子に対して、同一の条件でコンデンサ素子を接続することができる。また、半導体素子の周辺部にコンデンサ素子を配置する必要がないため、複数の半導体素子をコンデンサ素子配置に必要な間隔を空けることなく高密度に配置することができる。

【0022】これにより、前述した本発明の実施形態によれば、半導体素子の電源端子からコンデンサ素子までの配線によるインダクタンス成分をほとんどなくすることができ、また、半導体素子間を接続する配線長も短くすることができ、コンデンサ素子接続による電源端子のノ

イズ吸収の効果を全ての電源端子について同一なものとして、半導体素子の動作マージンを充分な大きさに確保することができ、また、高速な回路動作を確保することができる。

【0023】

【発明の効果】以上説明したように本発明によれば、コンデンサ素子の接続によるノイズ吸収効果を高めて、動作マージンを大きくすることができ、また、高速動作基板として満足することができるものとすることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態による半導体素子搭載基板の断面構造を示す図である。

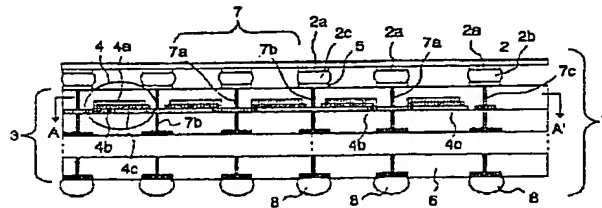
【図2】本発明の一実施形態による半導体素子搭載基板のコンデンサ素子部の平面構造を示す図である。 *

*【符号の説明】

- 1 半導体素子実装基板
- 2 半導体素子
- 2a 基板接続端子
- 2b 半田チップ
- 3 配線基板
- 4 コンデンサ素子部
- 4a、4c コンデンサ電極
- 4b コンデンサ誘電体層
- 5 半導体素子接続端子
- 6 絶縁層
- 7a グランド用配線
- 7b 電源用配線
- 7c 信号用配線
- 8 下部接続端子

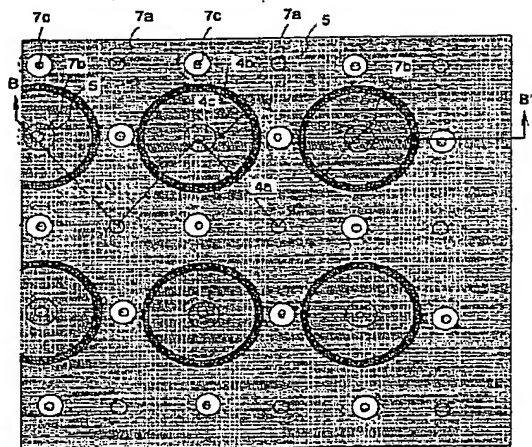
【図1】

図1



【図2】

図2



フロントページの続き

(72)発明者 佐藤 重匡
神奈川県秦野市堀山下1番地 株式会社日
立製作所エンタープライズサーバ事業部内

(72)発明者 田中 稔
神奈川県秦野市堀山下1番地 株式会社日
立製作所エンタープライズサーバ事業部内
Fターム(参考) 5E338 AA03 BB63 BB75 CC04 CC06
CD33 EE13 EE14 EE22